



(19)

(11) Publication number:

59165285 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 58039230

(51) Int. Cl.: G11C 7/00 G11C 11/34

(22) Application date: 11.03.83

(30) Priority:

(43) Date of application
publication: 18.09.84(84) Designated contracting
states:

(71) Applicant: HITACHI LTD

(72) Inventor: MORI HIROFUMI
Tabei Takashi

(74) Representative:

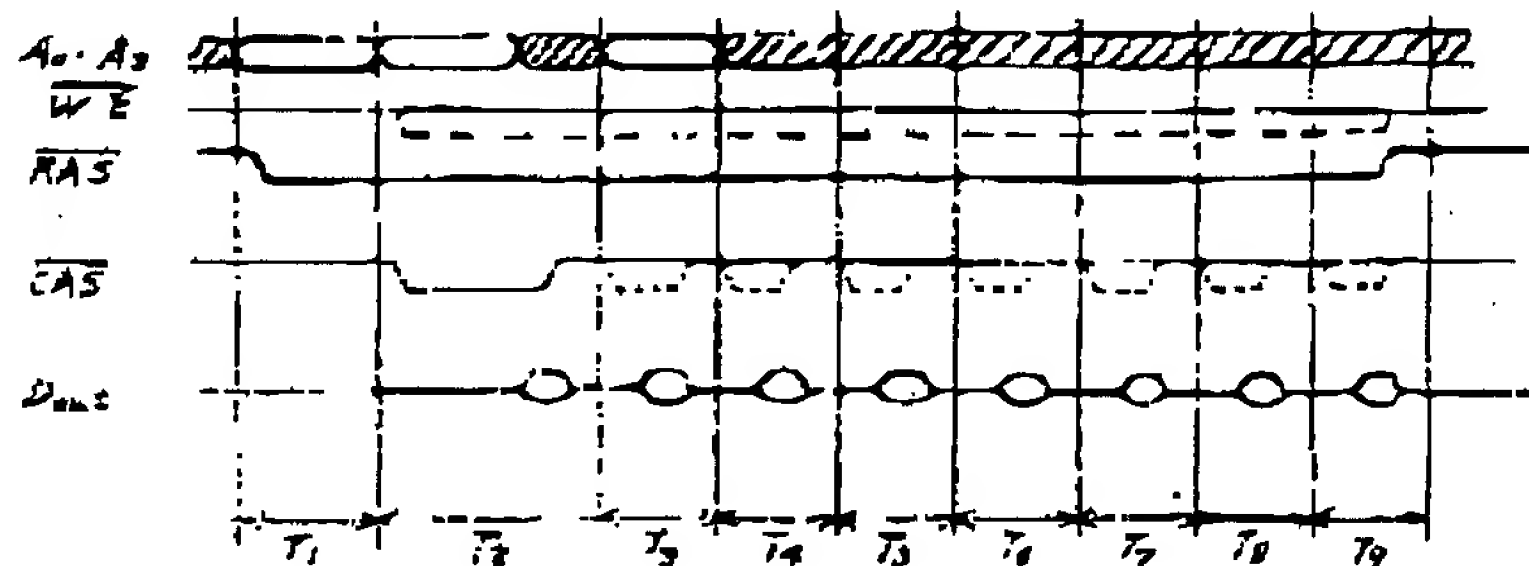
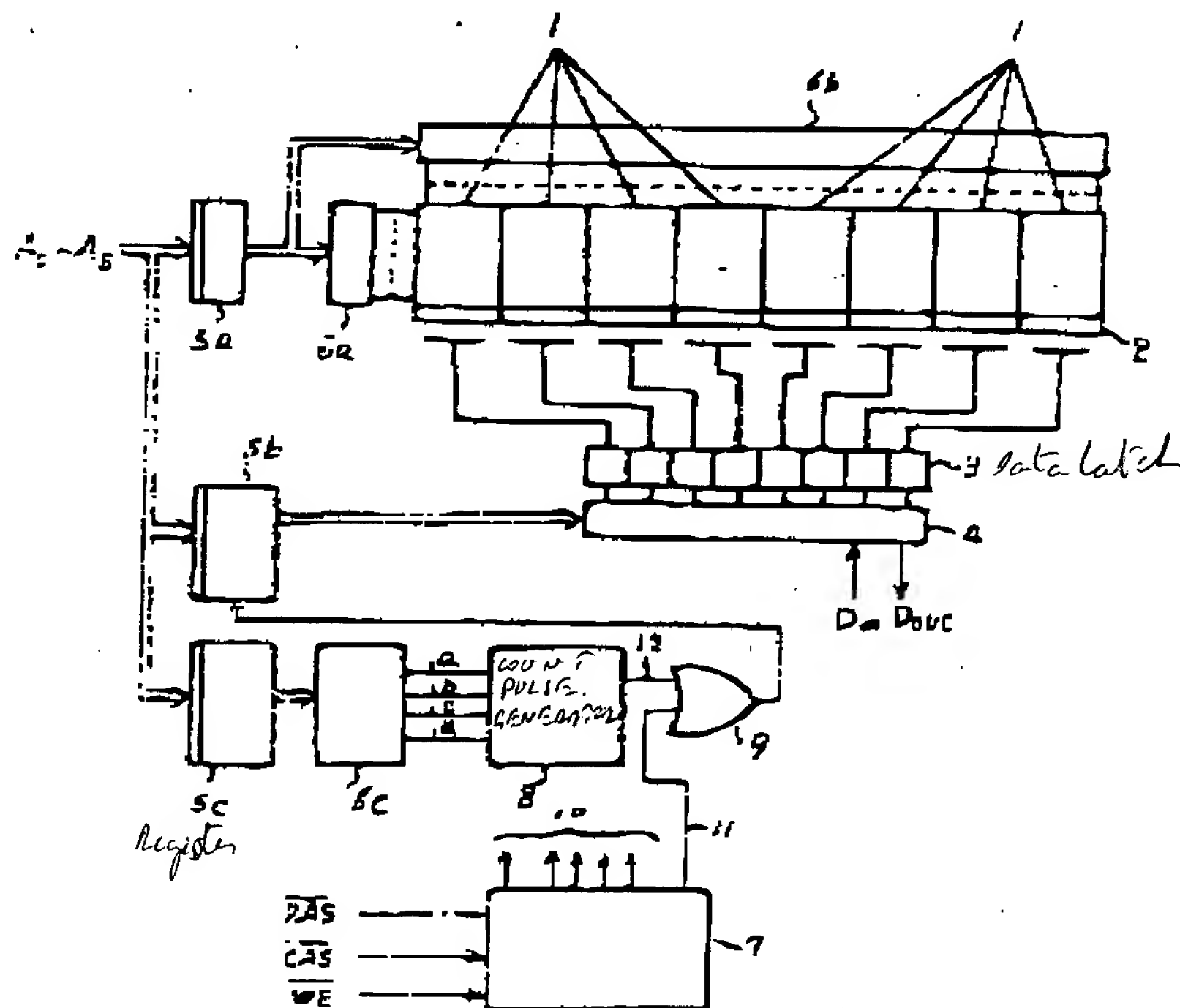
(54) SEMICONDUCTOR STORAGE
ELEMENT

(57) Abstract:

PURPOSE: To support plural kinds of high speed operating modes having different read data bit number in the same chip constitution by providing a circuit outputting continuously a data having the designated bit number by control information by means of a storage circuit of the control information and data latch.

CONSTITUTION: When the control information set to a register 5c at a phase T3 is "11", data in total 8-bit are outputted in high speed one by one bit from the data latch 3 at phases T2WT9. Similarly, when the information is "10", data in total 4-bit are outputted sequentially at phases T2WT5, and when "01", data in total 2-bit are outputted sequentially at phases T2, T3. When "00", the mode is selected as the normal operating mode and only the data in 1-bit are outputted at the phase T2. Thus, in the high speed mode, the timing of data output at the 2nd-bit and succeeding is controlled by a count pulse generating circuit 8.

COPYRIGHT: (C)1984,JPO&Japio



Ref-7

R7

① 日本国特許庁 (JP)

② 特許出願公開

③ 公開特許公報 (A)

昭59—165285

④ Int. Cl.³

識別記号

庁内整理番号

⑤ 公開 昭和59年(1984)9月18日

G 11 C 7/00

6549—5B

11/34

6549—5B

発明の数 1

審査請求 未請求

(全 3 頁)

⑥ 半導体記憶素子

⑦ 発明者 田部井隆

栗野市堀山下1番地株式会社日立製作所神奈川工場内

⑧ 特 願 昭58—39230

⑨ 出 願 昭58(1983)3月11日

⑩ 出 願 人 株式会社日立製作所

⑪ 発 明 者 森廣文

東京都千代田区丸の内1丁目5番1号

栗野市堀山下1番地株式会社日立製作所神奈川工場内

⑫ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

1. 発明の名称

半導体記憶素子

2. 特許請求の範囲

複数のメモリアドレスを同時にアクセスして該メモリアドレスのそれぞれから記憶データをデータラッチに同時に読み出す構成の半導体記憶素子において、制御情報を保持する回路と、該制御情報にしたがって該データラッチからのデータ出力を制御し、該データラッチから該制御情報で指定されるビット数分のデータを連続的に出力させる回路とを備えることを特徴とする半導体記憶素子。

3. 発明の詳述な説明

(発明の利用分野)

本発明は半導体記憶素子に関し、特に高速動作モードを有する半導体記憶素子に関する。

(従来技術)

ニアルモードと呼ばれる高速動作モードを持つ半導体記憶素子がある。これは、複数のメモリアドレスを同時にアクセスして連続した4ビットの

記憶データをデータラッチに読み出し、メモリアドレスのアクセスを繰り返すことなく、データラッチから連続した4ビット(ニアル)のデータを1ビットずつ高速に出力する構成である。

一般に、このようなニアルモードによれば、通常のモードに比べメモリアクセス時間を大幅に短縮できるが、他方、用途によっては、2ビットまたは8ビットのデータを連続的に高速読み出してきることが好ましいこともある。しかし、連続読み出しデータのビット数の異なる半導体記憶素子を別々のメモリチップとして何種類も生産するのは、生産性や生産コストの面で一般に不利である。

〔発明の目的〕

本発明は以上の点に鑑み、同一のチップ構成で、連続的に読み出すデータビット数の異なる複数種類の高速動作モードをサポートする半導体記憶素子を提供することを目的とする。

〔発明の概要〕

本発明は、複数のメモリアドレスを同時にアクセスして該メモリアドレスのそれぞれから記憶データ

データをデータラッチに同時に読み出す複数の半導体記憶素子において、制御情報を保持する回路と、該制御情報にしたがって該データラッチからのデータ出力を制御し、該データラッチから該制御情報で指定されるビット成分のデータを連続的に出力させる回路とを設けることを特徴とするものである。

【発明の実施例】

第1図は本発明による一実施例である256K RAMのブロック図であり、第2図はその動作を示すタイミング図である。

第1図において、1はメモリセルを256行×128列のマトリクスに配列したメモリアブロックであり、これは8ブロックある。各メモリアブロック1は128個のセンスアンプ2を持ち、また各メモリアブロック1当たり1個ずつのデータラッチ3が設けられている。4はセレクト、5aは8ビットのレジスタ、5bは2ビットのレジスタである。5cは3ビットのレジスタであり、モジュロ8のカウントとしても動作するものである。6a～

6cのデータラッチはタイミング信号00で制御される。デコード6はレジスタ5aの内容をデコードし、全メモリアブロック1の該当する1つの行のワード線を駆動する（この駆動のタイミングはタイミング信号00で制御される）。

CAS信号の立ち上がるフェーズT₁に、アドレス信号A₀～A₇の7ビットの内容（行アドレス）がレジスタ5aに、残り2ビットの内容がレジスタ5bにそれぞれラッチされる（このラッチタイミングはタイミング信号00で制御される）。デコード6はレジスタ5aの内容をデコードし、各メモリアブロック1の該当する1つの列のデータ線を駆動する（駆動タイミングはタイミング信号00で制御される）。これにより、各メモリアブロック1のセンスアンプ2から1ビットずつ、計8ビットのデータが出力され、データラッチ3にラッチされる（データラッチ3はフェーズT₁以前にリセットされている）。またセレクト4は、レジスタ5bの内容（3ビット）で指定される1つのデータラッチ3を選択し、そこに保持されてい

特開59-165285(2)

る6はデコード、7はタイミング発生回路、8はカウントパルス発生回路、9はオア回路である。A₀～A₇は外部から入力されるアドレス信号、RAS、CAS、WEはそれぞれ外部から入力されるタイミング信号、Doutは1ビットのデータ出力信号、Diは1ビットのデータ入力信号である。タイミング発生回路7はRAS、CAS、WEの各タイミング信号にしたがって各部へのタイミング信号群10と、カウントパルス11を発生する。カウントパルス発生回路8は、デコード6cの出力信号に応じた数のカウントパルス12を連続的に発生する。カウントパルス11、12はオア回路9を通じてレジスタ5cのクロック入力へ供給される。

次に、第2図のタイミング図を参照しながら、本実施例のデータ読出し動作を説明する。

RAS信号の立ち下がるフェーズT₁に、アドレス信号A₀～A₇のうちの8ビットの内容（行アドレス）がレジスタ5aに、残り1ビットの内容がレジスタ5bにそれぞれラッチされる（このラ

ッチタイミングはタイミング信号00で制御される）。デコード6はレジスタ5aの内容をデコードし、全メモリアブロック1の該当する1つの行のワード線を駆動する（この駆動のタイミングはタイミング信号00で制御される）。

次のフェーズT₁で、アドレス信号A₀～A₇のうちの2ビットの内容（制御情報）がレジスタ5bにラッチされる。デコード6はレジスタ5bにラッチされた制御情報をデコードし、制御情報が“00”ならば出力線dに、“01”ならば出力線bに、“10”ならば出力線cに、“11”ならば出力線dに、それぞれ“1”信号を出す。これらの動作タイミングはタイミング信号00により制御される。カウントパルス発生回路8は、出力線dに“1”信号が出たときは動作しないが、出力線bに“1”信号が出たときはフェーズT₁でカウントパルス12を1発送出す。また、出力線cに“1”信号が出たときはフェーズT₁～T₂のそれぞれに1発ずつ計2発のカウントパルス12が、出力線dに“1”信号が出たときはフェーズT₁～T₂のそれぞれに1発ずつ計7発のカウントパルス12が、カウントパルス発生回路

8から送出される。

レジスタ50はフェーズT₁、T₂でラッチした値を初期値として、オア回路9を通じカウントパルスを与えられる毎に1ずつカウントアップする。なお、レジスタ50はフルカウント“111”に達した後は“000”からカウントを再開するようになっている。セクタ4は、レジスタ50のカウント値に対応するデータラッチ3を選択し、その保持データをデータ出力信号D_{out}として出力する。

したがって、フェーズT₁でレジスタ50に設定された制御情報が“11”の場合、第2図に示すように、フェーズT₁、T₂でデータラッチ3から計8ビットのデータが1ビットずつ連続して高速に出力される。同様に制御情報が“10”の場合は、フェーズT₁、T₂で計4ビットのデータが順次出力され（フェーズT₁、T₂は無い）、制御情報が“01”の場合はフェーズT₁、T₂で計2ビットのデータが順次出力される（フェーズT₁、T₂は無い）。制御情報が“00”の場合

特開昭59-165285(3).

合は高速動作モードではなく通常動作モードとなり、フェーズT₁で1ビットのデータが出力されるだけである（フェーズT₁、T₂は無い）。このように、高速動作モードにおいては、2ビット目以降のデータ出力のタイミングはカウントパルス発生回路8によって制御される。

なお、書き込み動作についても読み出し動作と同様であり、詳細は省略する。

ここで付言すれば、前記実施例では制御情報をアドレス信号A₀、A₁から取り込み、レジスタ50にラッチするようにしたが、他の外部信号、例えばデータ入力信号D_{in}から取り込むようにしてもよい。また、動作モードを固定してもよい場合は、レジスタ50の内容、つまり制御情報をハードウェア的に固定してもよい。さらに、高速動作モードで連続的に読み出すビット数は、レジスタ50のビット数を増加する等によって、4ビット以上に切り替え可能とすることができる。

〔発明の効果〕

以上詳述したように本発明によれば、同一構成

のメモリチップを用いて、読み出しデータビット数の異なる1種類以上の高速動作モードをサポートする半導体記憶素子を実現できる。

4.図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は同実施例の動作を説明するためのタイミング図である。

1…メモリブロック、3…データラッチ、4…セクタ、5_a～5_c…レジスタ、5_d～5_e…デコーダ、7…タイミング発生回路、8…カウントパルス発生回路。

代理人 弁理士 高 橋 明 夫

